

86

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Takashi MIIDA

Serial No.: 10/074,227

Filed: February 14, 2002

For: VARIABLE GAIN AMPLIFIER, SOLID-STATE
IMAGING DEVICE AND OPTICAL SIGNAL
READING METHOD

)
)
) Examiner:
)
) Art Unit:
)
)
)
)
)
)

CLAIM TO PRIORITY UNDER 35 USC 119

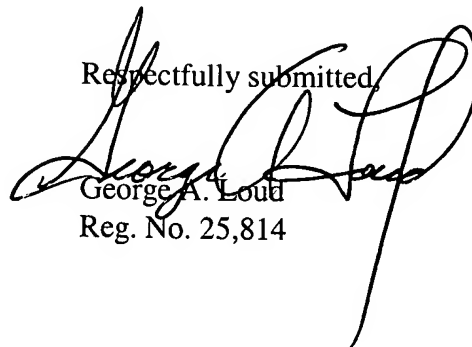
Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of Japanese Application No. 2001-041394 filed February 19, 2001 and of Japanese Application No. 2002-034496 filed February 12, 2002, under the International (Paris) Convention for the Protection of Industrial Property (Stockholm Act, July 14, 1967), is hereby requested and the right of priority provided in 35 USC 119 is here claimed.

In support of this claim to priority certified copies of said original foreign applications are submitted herewith.

Respectfully submitted,


George A. Loud
Reg. No. 25,814

Dated: June 5, 2002

LORUSSO & LOUD
3137 Mount Vernon Avenue
Alexandria, VA 22305

(703) 739-9393



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月19日

出 願 番 号

Application Number:

特願2001-041394

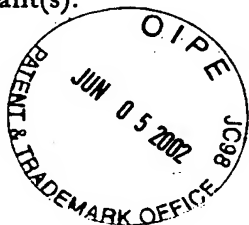
[ST.10/C]:

[JP2001-041394]

出 願 人

Applicant(s):

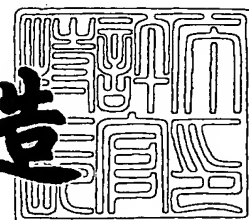
イノテック株式会社



2002年 4月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3023781

【書類名】 特許願

【整理番号】 ITC-44

【提出日】 平成13年 2月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/14
H04N 5/335

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜3丁目17番6号 イノテック株式会社内

【氏名】 三井田 ▲高▼

【特許出願人】

【識別番号】 593102345

【氏名又は名称】 イノテック株式会社

【代理人】

【識別番号】 100091672

【弁理士】

【氏名又は名称】 岡本 啓三

【電話番号】 03-3663-2663

【手数料の表示】

【予納台帳番号】 013701

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0005447

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 可変利得アンプ、光電変換装置及び光信号読み出し方法

【特許請求の範囲】

【請求項 1】 第 1 の信号電圧と第 2 の信号電圧とを逐次入力することにより、前記第 1 の信号電圧及び前記第 2 の信号電圧を電荷に変換して、前記第 1 の信号電圧と前記第 2 の信号電圧との差信号を生成し、かつ該差信号の大きさが基準値よりも小さいときに前記差信号の大きさが前記基準値よりも大きくなるような利得で前記差信号を増幅して出力することを特徴とする可変利得アンプ。

【請求項 2】 前記可変利得アンプは、

基準電圧が入力される正入力端子、前記電気信号及び前記オフセット電圧が入力される負入力端子及び出力端子を有する演算増幅器と、

前記光電変換素子と前記演算増幅器の負入力端子との間に直列接続された第 1 のスイッチ素子、第 2 のスイッチ素子及び入力容量素子と、

前記第 2 のスイッチ素子及び前記入力容量素子に並列接続された第 3 のスイッチ素子と、

前記演算増幅器の負入力端子と出力端子との間に設けられた、容量値可変の帰還容量と、

前記演算増幅器の負入力端子と出力端子との間を短絡し、或いは開放する第 4 のスイッチ素子と、

前記演算増幅器から出力される前記差信号を前記基準値と比較する比較回路と

前記差信号の大きさが前記基準値よりも小さいときに前記差信号の大きさが前記基準値よりも大きくなるような利得で前記差信号を増幅するように前記帰還容量の容量値を選択する信号を出力する制御回路とを有してなることを特徴とする請求項 1 記載の可変利得アンプ。

【請求項 3】 前記帰還容量は、複数の容量素子からなり、1 以上のスイッチ素子により前記複数の容量素子のうちから前記帰還容量の容量値の設定に必要な容量素子を選択可能としたことを特徴とする請求項 2 記載の可変利得アンプ。

【請求項 4】 光信号を電気信号に変換し、出力する、行と列に配列された

複数の光電変換素子と、

前記電気信号と、前記光電変換素子を初期化したときの前記光電変換素子に固有の第1のオフセット電圧とを逐次入力することにより、前記電気信号及び前記第1のオフセット電圧を電荷に変換して、前記電気信号と前記第1のオフセット電圧との差信号を生成し、かつ該差信号の大きさが基準値よりも小さいときに前記差信号の大きさが前記基準値よりも大きくなるような利得で前記差信号を増幅して出力する、前記列毎に設けられた可変利得アンプと、

前記可変利得アンプの出力側に繋がって前記差信号を記憶する記憶素子とを有してなることを特徴とする光電変換装置。

【請求項5】 前記記憶素子の出力と繋がって、前記差信号をデジタル信号に変換するアナログ／デジタル変換回路とを有してなることを特徴とする請求項4記載の光電変換装置。

【請求項6】 前記可変利得アンプは、

基準電圧が入力される正入力端子、前記電気信号及び前記オフセット電圧が入力される負入力端子及び出力端子を有する演算増幅器と、

前記光電変換素子と前記演算増幅器の負入力端子との間に直列接続された第1のスイッチ素子、第2のスイッチ素子及び入力容量素子と、

前記第2のスイッチ素子及び前記入力容量素子に並列接続された第3のスイッチ素子と、

前記演算増幅器の負入力端子と出力端子との間に設けられた容量値可変の帰還容量と、

前記演算増幅器の負入力端子と出力端子との間を短絡し、或いは開放する第4のスイッチ素子と、

前記演算増幅器から出力される前記差信号を前記基準値と比較する比較回路と

前記差信号の大きさが前記基準値よりも小さいときに前記差信号の大きさが前記基準値よりも大きくなるような利得で前記差信号を増幅するように前記帰還容量の容量値を選択する信号を出力する制御回路とを有してなることを特徴とする請求項4又は5記載の光電変換装置。

【請求項 7】 前記帰還容量は複数の容量素子からなり、1 以上のスイッチ素子により前記複数の容量素子のうちから前記帰還容量の容量値の設定に必要な容量素子を選択可能としたことを特徴とする請求項 6 記載の光電変換装置。

【請求項 8】 光電変換素子に光信号を照射し、該光信号を電気信号に変換し、

前記電気信号を電荷に変換して蓄積し、

前記光電変換素子を初期化したときの前記光電変換素子に固有の第 1 のオフセット電圧を出力し、

前記第 1 のオフセット電圧を電荷に変換し、

前記電荷に変換して蓄積された電気信号と前記電荷に変換された第 1 のオフセット電圧との差信号を生成し、

前記差信号の大きさを読み取り、基準値と比較し、

前記差信号が前記基準値よりも小さいときに前記差信号の大きさが前記基準値よりも大きくなるような利得で前記差信号を増幅し、

前記差信号をデジタル信号に変換することを特徴とする光信号読み出し方法。

【請求項 9】 前記光信号読み出し方法は、さらに、行と列に配列された前記光電変換素子について、前記列毎に前記デジタル化した差信号を取得すること
を特徴とする請求項 8 記載の光信号読み出し方法。

【請求項 10】 前記光信号読み出し方法は、さらに、前記列毎の差信号は前記列毎に設けられた可変利得アンプにより生成され、

前記光信号が照射されていないときの光電変換素子の固有のオフセット電圧と前記可変利得アンプに固有のオフセット電圧とを含む第 2 のオフセット電圧を前記列毎に出力してデジタル化し、

前記デジタル化した第 2 のオフセット電圧のうち、任意に一つの列を選択し、
該選択した列の前記デジタル化した第 2 のオフセット電圧を基準とし、

前記選択した列以外の列毎に、前記デジタル化した第 2 のオフセット電圧から前記基準のデジタル化した第 2 のオフセット電圧を差し引いて、その差を各列の第 3 のオフセット電圧とし、

前記選択した列以外の列毎に、前記デジタル化した差信号から前記第 3 のオフ

セット電圧を除くことを特徴とする請求項 9 記載の光信号読み出し方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、可変利得アンプ、光電変換装置及び光信号読み出し方法に関し、より詳しくは、ビデオカメラ、電子カメラ、画像入力カメラ、スキャナ又はファクシミリ等に用いられる、光信号をデジタル信号に変換して出力する可変利得アンプ、光電変換装置及び光信号読み出し方法に関する。

【 0 0 0 2 】

【従来の技術】

CCD型イメージセンサやMOS型イメージセンサなどの半導体イメージセンサは量産性に優れているため、パターンの微細化技術の進展に伴い、多くの画像入力デバイス装置に適用されている。

特に、近年、CCD型イメージセンサと比べて、消費電力が小さく、かつセンサ素子と周辺回路素子とを同じCMOS技術によって作成できるという利点を有することから、閾値変調型MOS型イメージセンサが注目されている。

【 0 0 0 3 】

このような世の中の動向に鑑み、本願発明者らはMOS型イメージセンサの改良を行い、キャリアポケット（高濃度埋込層）を有するセンサ素子を提案した（特許登録番号 2 9 3 5 4 9 2 号）。

ところで、閾値変調型イメージセンサには積分方式コラム型アナログデジタル変換器（以下、コラム型ADCと称する。）が搭載されるようになっている。そのコラム型ADCにおいては、コンパレータによりアナログ信号である光電気信号を所定の勾配を有する比較ランプ電圧と比較し、パルスカウンタにより光電気信号の大きさに対応するパルス計数値に変換する。

【 0 0 0 4 】

その場合、アナログ信号が小さいときには比較ランプ電圧の勾配も小さくしてダイナミックレンジを確保している。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかし、小さいアナログ信号に対応して比較ランプ電圧の勾配を小さくすると、ランプ信号の線形性やコンパレータの比較精度により、及び光電変換素子 8 0 等に生じるオフセット電圧の影響により、S N 比が制限される。

光電気信号からオフセット電圧を除いて光信号成分のみを読み出す方法としては、米国特許 4,819,070 から転記した図 6 に示すように、光電変換素子 2 4 から信号とオフセット電圧との差電圧を容量素子 C 0 に蓄積し、クランプする方式が提案されている。

【0 0 0 6】

しかし、この方式では、回路全体をオンチップ化した場合、容量素子 C 0 の周りの寄生容量が増えるため、利得減少や利得のばらつきが生じると考えられる。従って、将来、更なる性能の向上が要望されるようになると、この方式では実用上問題になると考えられる。

本発明は、上記従来技術の問題点に鑑みて創作されたものであり、光電気信号をデジタル化するに際し、ダイナミックレンジの向上を図りつつ、S N 比の向上を図ることができる可変利得アンプ、光電変換装置及び光信号読み出し方法を提供するものである。

【0 0 0 7】

【課題を解決するための手段】

上記課題を解決するため、本発明の可変利得アンプは、図 1 に示すように、第 1 の信号電圧と、第 2 の信号電圧とを逐次入力することにより、電気信号及び第 1 のオフセット電圧を電荷に変換して、電気信号と第 1 のオフセット電圧との差信号を生成し、かつ差信号が基準値、例えば適度なデジタル符号化範囲の下限值よりも小さいときに差信号の大きさが基準値よりも大きくなるような利得で差信号を増幅して出力することを特徴としている。

【0 0 0 8】

可変利得アンプ 1 0 5 a は、所謂チョッパ型スイッチトキャパシタ型積分回路からなる。チョッパ型スイッチトキャパシタ型積分回路は、例えば、図 1 に示すように、基準電圧 V_{ref} が印加される正入力端子 (+)、負入力端子 (-) 及び

出力端子を有する演算増幅器 3 1 と、光電変換素子 1 0 1 と演算増幅器 3 1 の負入力端子 (-) の間に直列接続された第 1 のスイッチ素子 $SW1$ 、第 2 のスイッチ素子 $SW2$ 及び入力容量素子 C_i ($C1$) と、第 2 のスイッチ素子 $SW2$ 及び入力容量素子 $C1$ に並列接続された第 3 のスイッチ素子 $SW3$ と、演算増幅器 3 1 の負入力端子 (-) と出力端子との間に設けられた複数の容量素子からなる帰還容量 C_f ($C2$ 、 $C3 \cdots$ 等) と、演算増幅器 3 1 の負入力端子 (-) と出力端子との間を短絡し、或いは開放する第 4 のスイッチ素子 $SW4$ とを有してなる。

【 0 0 0 9 】

演算増幅器 3 1 の増幅利得の調整は、演算増幅器 3 1 から出力される差信号を基準値と比較する比較回路 3 2 と、差信号の大きさが基準値よりも小さいときに差信号の大きさが基準値よりも大きくなるような利得で差信号を増幅するように帰還容量の容量値を選択する信号を出力する制御回路 3 3 とにより以下のように行なうことができる。

【 0 0 1 0 】

即ち、帰還容量 C_f を構成する $C2$ 、 $C3 \cdots$ 等の容量素子は、各容量素子の演算増幅器 3 1 の入出力間への接続及び非接続を制御するスイッチ素子 ($SW5$ 、 $SW6 \cdots$ 等) に接続されているので、スイッチ素子 ($SW5$ 、 $SW6 \cdots$ 等) を選択的にオン、オフして適当な容量素子を選択して演算増幅器 3 1 の入出力間に接続することができる。これにより、帰還容量 C_f の容量値を加減して、帰還容量 C_f に対する入力容量素子 C_i の比 (C_i / C_f) を調整する。

【 0 0 1 1 】

また、光電変換装置は、行と列に配列された光電変換素子と、列毎に設けられ、列毎の光電変換素子の出力と接続する上記の可変利得アンプと、可変利得アンプの出力側に繋がって差信号を記憶する記憶素子とを有している。この場合、可変利得アンプに inputs する第 1 の信号電圧として光信号の照射により得られた電気信号を用い、また、第 2 の信号電圧として光電変換素子を初期化したときの第 1 のオフセット電圧を用いる。

【 0 0 1 2 】

さらに、記憶素子の出力と繋がって、差信号をデジタル信号に変換するアナログ／デジタル変換回路を有している。

また、光信号読み出し方法によれば、電気信号を電荷に変換して蓄積し、光電変換素子 1 0 1 に固有の第 1 のオフセット電圧を出力し、電荷に変換するとともに、蓄積された電気信号と電荷に変換された第 1 のオフセット電圧との差信号を生成し、差信号の大きさを読み取り、基準値と比較し、差信号が基準値よりも小さいときに差信号の大きさが基準値よりも大きくなるような利得で差信号を増幅することを特徴としている。

【 0 0 1 3 】

このように、本発明によれば、アナログ電気信号の振幅が適度なデジタル符号化範囲（基準値）よりも小さいときでも、アナログ電気信号を増幅してデジタル符号化範囲に適合させることができる。

これにより、アナログ電気信号のデジタル化に際して、ダイナミックレンジを確保し、かつ S N 比を向上させることができる。

【 0 0 1 4 】

ところで、光信号が照射されないときの光電変換素子の固有のオフセット電圧及び差信号を生成する可変利得アンプがもつ固有のオフセット電圧も列毎にばらつくと考えられる。本発明によれば、光信号が入らないときの光電変換素子の固有のオフセット電圧及び可変利得アンプに固有のオフセット電圧とを含む第 2 のオフセット電圧を列毎に取得してデジタル化し、任意の一つの列のデジタル化した第 2 のオフセット電圧をもとに、それからのばらつきを各列の第 3 のオフセット電圧とし、列毎にデジタル化した差信号から第 3 のオフセット電圧を除いている。

【 0 0 1 5 】

このようにして得られた差信号は、光電変換素子及び可変利得アンプに固有のオフセット電圧を含まず、真に光信号に対応する信号となる。このため、より一層ダイナミックレンジの拡大を図り、かつ S N 比の向上を図ることができる。

【 0 0 1 6 】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しながら説明する。

(第 1 の実施の形態)

図 1 を参照して、この発明の第 1 の実施の形態である可変利得アンプ 1 0 5 a の詳細な構成について説明する。この可変利得アンプ 1 0 5 a は 2 つの信号についての差信号を生成することができる増幅回路であり、特に差信号の大きさに応じて増幅率を変化させることができるという特徴を有する。

【 0 0 1 7 】

図 1 に示すように、可変利得アンプ 1 0 5 a には、正入力端子 (+)、負入力端子 (-) 及び出力端子を有する演算増幅器 3 1 が備えられている。正入力端子 (+) には基準電圧 (V_{ref}) が入力され、負入力端子 (-) には第 1 の信号電圧 V_t 及び第 2 の信号電圧 V_n が入力される。出力端子からは、第 2 の信号電圧 V_n を第 1 の信号電圧 V_t から除いた差信号 V_s ($= V_t - V_n$) が出力される。

【 0 0 1 8 】

また、可変利得アンプ 1 0 5 a の入力端から演算増幅器 3 1 の負入力端子に至る経路に第 1 のスイッチ素子 SW_1 と、第 2 のスイッチ素子 SW_2 と、コンデンサ C_1 からなる入力容量素子 C_i とが直列接続されている。第 2 のスイッチ素子 SW_2 及び入力容量素子 C_i に並列に第 3 のスイッチ素子 SW_3 が接続されている。演算増幅器 3 1 の負入力端子 (-) と出力端子との間には、帰還容量 C_f と、第 4 のスイッチ素子 SW_4 とが並列接続されている。

【 0 0 1 9 】

帰還容量 C_f は複数のコンデンサ C_2 、 C_3 から構成されている。さらに、コンデンサ C_2 、 C_3 を任意に選択して帰還容量 C_f の容量値を調整可能なように、各コンデンサ C_2 、 C_3 を演算増幅器 3 1 の負入力端子 (-) と出力端子の間に接続し、或いは非接続とする第 5 及び第 6 のスイッチ素子 SW_5 、 SW_6 が設けられている。なお、帰還容量 C_f が 3 つ以上のコンデンサから構成され、各コンデンサを演算増幅器 3 1 の負入力端子 (-) と出力端子の間に接続し、或いは非接続とする 3 つ以上の対応するスイッチ素子を設けることも可能である。

【 0 0 2 0 】

また、演算増幅器 3 1 の出力端子には比較器 3 2 が接続され、さらに比較器 3

2 の出力側に制御回路 3 3 が接続されている。比較器 3 2 は、演算増幅器 3 1 から出力された差信号の大きさを基準値と比較する。制御回路 3 3 は、差信号が基準値よりも小さい場合に、差信号の大きさを補償するような増幅利得を演算増幅器 3 1 に与えるため、第 5 及び第 6 のスイッチ素子 SW 5、SW 6 を選択し、かつそれらのオン／オフを制御する信号 (Gsel1, Gsel2) を供給する。即ち、演算増幅器 3 1 の増幅利得の調整は、演算増幅器 3 1 の負入力端子 (－) と出力端子との間に接続された帰還容量 C_f に対する入力容量素子 C_i の比 (C_i / C_f) を調整することにより行なうことができる。帰還容量 C_f はコンデンサ C 2、C 3・・・等の複数の容量素子から構成され、スイッチ素子 (SW 5、SW 6・・・等) をオン、オフして適当な容量素子を任意選択し、帰還容量 C_f の容量値を加減することで増幅利得の調整を行なうことができる。

【0021】

なお、図面では、上記のスイッチ素子を模式的に記載しているが、実際には 1 つ以上のトランジスタなどを用いて同じ機能を得ることができる。

(第 2 の実施の形態)

次に、図 1 の可変利得アンプ 1 0 5 a を適用したこの発明の第 2 の実施の形態である光電変換装置について説明する。

【0022】

図 2 は、この発明の第 2 の実施の形態である光電変換装置の回路構成図を示す。図 2 の信号出力回路 1 0 5 は差信号生成回路 1 0 5 a とコラム型アナログ／デジタル変換器 (以下、コラム型 ADC と称する。) 1 0 5 b とを備え、図 1 の可変利得アンプ 1 0 5 a を差信号生成回路として用いている。また、図 3 (a)、(b) は、コラム型アナログ／デジタル変換器 (以下、コラム型 ADC と称する。) 1 0 5 b の動作を示す図である。図 4 は図 2 の光電変換装置全体の動作について示すタイミングチャートである。

【0023】

図 2 に示すように、この光電変換装置は、2 次元センサアレー 1 0 0 の構成を採っており、単位画素 (光電変換素子) 1 0 1 が行方向及び列方向にマトリクス状に配列されている。画素 1 0 1 は、詳細を図示してはいないが、例えばこの出

願に係る出願人と同じ出願人に係る特許（特許登録番号 2 9 3 5 4 9 2 号）に記載されたものを用いるとすると、受光ダイオードと光信号検出用の MOS トランジスタを備えている。

【 0 0 2 4 】

また、図示してはいないが、単位画素 1 0 1 を走査する信号を供給する、垂直走査信号（VSCAN）の駆動走査回路及びドレイン電圧（VDD）の駆動走査回路が配置されている。

垂直走査信号（VSCAN）の駆動走査回路から垂直走査信号供給線が行毎に一つずつでている。各垂直走査信号供給線は行方向に並ぶ全ての画素 1 0 1 内の MOS トランジスタのゲートに接続されている。

【 0 0 2 5 】

また、ドレイン電圧供給線（VDD供給線）はドレイン電圧（VDD）の駆動走査回路から行毎に一つずつでている。各ドレイン電圧供給線（VDD供給線）は、行方向に並ぶ全ての画素 1 0 1 内の MOS トランジスタのドレインに接続されている。

また、列毎に異なる垂直出力線 2 0 a, 2 0 b が設けられて、各垂直出力線 2 0 a, 2 0 b は列方向に並ぶ全ての画素 1 0 1 内の MOS トランジスタのソースにそれぞれ接続されている。

【 0 0 2 6 】

さらに、MOS トランジスタのソース領域は垂直出力線 2 0 a, 2 0 b を通して信号出力回路 1 0 5 と接続している。そして、図 2 に示すように、ソース領域は上記の信号出力回路 1 0 5 内の列毎に設けられた差信号生成回路 1 0 5 a の入力に接続し、さらに差信号生成回路 1 0 5 a の出力はスイッチ素子 SW 7 を通してコンデンサからなるラインメモリ（記憶素子）LM と接続している。また、図 2 に示すように、ラインメモリ LM の出力はコラム型 ADC 1 0 5 b に接続している。なお、図では省略しているが、実際には垂直出力線 2 0 a, 2 0 b の途中にはスイッチ素子等が設けられて信号の流れを制御している。

【 0 0 2 7 】

垂直走査信号（VSCAN）により、行に並ぶ画素 1 0 1 の MOS トランジス

タを駆動して光の入射量に比例した、オフセット電圧（以下、第1のオフセット電圧と称する。） V_n 成分を含まないデジタル化された映像信号（ V_{out1} 、 \dots 、 V_{outn} ）が行毎に信号出力回路105から読み出される。

図2に示すように、上記した差信号生成回路105aにおいては、演算増幅器31の正入力端子（+）に基準電圧 V_{ref} が入力され、負入力端子（-）に電気信号 V_t 及び第1のオフセット電圧 V_n が入力される。演算増幅器31の出力端子からは、画素101を初期化したときに発生する第1のオフセット電圧 V_n を電気信号 V_t から除いた、純粋な光信号に対応する差信号 V_s （ $=V_t - V_n$ ）が出力される。

【0028】

出力された差信号 V_s は、比較回路32によりデジタル符号化範囲の下限值（基準値）と比較される。差信号 V_s の大きさが基準値よりも大きいときには、差信号 V_s がそのまま出力される。また、差信号 V_s の大きさが基準値よりも小さいときに、差信号 V_s の大きさが基準値よりも大きくなるような利得で差信号 V_s が増幅されるように、制御回路33からの信号 $Gsel1$ 、 $Gsel2$ により帰還容量 C_f の容量値を選択する。これにより、差信号 V_s は増幅されて出力端子から $V_{s\ amp}$ が出力される。

【0029】

さらに、演算増幅器31から出力された差信号 V_s 又は $V_{s\ amp}$ はラインメモリLMに記憶される。

さらに、ラインメモリLMの出力はコラム型ADC105bの入力に接続されている。コラム型ADC105bは、不図示のコンパレータにより、図3（a）、（b）に示すように、アナログ信号である差信号 V_s 又は $V_{s\ amp}$ を所定の勾配を有する比較ランプ電圧 V_L と比較し、不図示のパルスカウンタにより差信号 V_s 又は $V_{s\ amp}$ の大きさに対応するパルス計数値 N_c 又は N_{ca} に変換する。なお、パルス計数値 N_{ca} は、増幅利得を考慮した係数を乗じて実際の差信号 V_s に対応するパルス計数値 N_c に変換される。

【0030】

デジタル化された映像信号は、行毎の画素並びに対応して、コラム型ADCの

出力端子から出力される。

以上のように、この発明の実施の形態の光電変換装置によれば、一列あたり記憶素子LMは差信号 V_s のみを記憶するものが少なくとも1つでよいことになり、回路構成の簡略化を図ることができる。

【0031】

また、差信号が基準値よりも小さいときに差信号の大きさが基準値よりも大きくなるような利得で差信号を増幅することができるので、アナログ電気信号の振幅がデジタル符号化範囲の下限值（基準値）よりも小さいときでも、アナログ電気信号を増幅してデジタル符号化範囲に適合させることができる。

次に、図1乃至図5を参照して、本発明の実施の形態に係る光信号の検出動作及び読み出し動作を説明する。この出願と同じ出願人に係る特許（特許登録番号2935492号）に記載のMOS型光電変換素子を用い、光信号検出用MOSトランジスタがnMOSの場合に適用する。

【0032】

図4は光信号の検出動作及び読み出し動作を説明するタイミングチャートである。

図5は差信号生成回路105aを動作させるためのタイミングチャートを示す。 V_{out1} 、・・・、 V_{outn} は信号出力回路105から出力されるデジタル化された映像信号を示す。また、信号BEは演算増幅器32を動作させるためのスイッチをオン・オフさせる信号である。

【0033】

光信号の検出動作及び読み出し動作は、図4に示すように、蓄積期間－読出期間－掃出期間（初期化期間）－ブランキング期間からなる一連の過程を繰り返す行う。

まず、図4を参照し、光電変換素子101に着目して一連の動作を説明する。都合上、蓄積期間から説明を始める。

【0034】

蓄積期間では、受光ダイオードに光照射を行って光発生正孔を発生させ、MOSトランジスタのチャネル領域下に蓄積する。これにより、MOSトランジスタ

の閾値電圧が変化するので、次の読出期間においてその閾値電圧の変化をソース電圧 V_{ps} として出力させる。

読出期間では、MOSトランジスタを動作させて光発生正孔の蓄積量に比例した光信号としてソース電圧 V_{ps} を出力し、入力容量素子 C_i に記憶させる。このソース電圧 V_{ps} は光信号より変換した電気信号 V_t を構成し、光の強度に応じた真の信号成分 V_s の他に第1のオフセット電圧成分 V_n を含んでいる。

【0035】

初期化期間では、スイッチ SW_1 をオフとし、MOSトランジスタのソース領域を通してゲート電極及びドレイン領域に高電圧を印加し、受光ダイオード及び光信号検出用MOSトランジスタから蓄積正孔を排出して画素101を初期化する。

ブランキング期間では、初期化された状態でのソース電圧 V_{ps} を第1のオフセット電圧 V_n として画素101から出力し、信号出力回路105に入力させて第1のオフセット電圧 V_n を除去した差信号 V_s ($=V_t - V_n$) を取り出す。

【0036】

ブランキング期間終了後に再び上記した蓄積期間に戻る。

次に、図5を参照し、図1の差信号生成回路105aに着目して、蓄積期間－読出期間－掃出期間（初期化期間）－ブランキング期間からなる一連の過程に対応させながら、デジタル化された差信号 V_s の生成動作について詳細に説明する。

【0037】

蓄積期間では、信号 SCM , CLM をいずれもHighレベル（以下、Hレベルと称する。）として、スイッチ SW_2 , SW_4 をオン状態とし、かつ信号 $Load$, RS をいずれもLowレベル（以下、Lレベルと称する。）として、スイッチ SW_1 , SW_3 をオフ状態とする。

蓄積期間の終了時の期間（入力容量初期化期間）に、信号 $Load$, SCM , RS , CLM , G_{sel1} , G_{sel2} をいずれもHレベルとして、スイッチ SW_1 , SW_2 , SW_3 , SW_4 , SW_5 , SW_6 をオン状態とし、入力容量素子 C_i であるコンデンサ C_1 , 帰還容量 C_f であるコンデンサ C_2 , C_3 の電荷を初期化する。

【 0 0 3 8 】

その後、センサ信号読み込み期間（読出期間）では、信号 R S M を L レベルとして、スイッチ S W 3 をオフ状態とする。他のスイッチ S W 1, S W 2, S W 4 は前の状態のまま保持する。これにより、差信号生成回路 1 0 5 a の入力容量素子 C i に、それぞれ画素 1 0 1 からの電気信号 V t が供給される。但し、この信号 V t には、光信号成分 V s と、画素 1 0 1 に固有の第 1 のオフセット電圧成分 V n が含まれている。

【 0 0 3 9 】

このとき、差信号生成回路 1 0 5 a の入力容量素子 C i の両側の電位差は $V_t - V_{ref}$ となる。そして、スイッチ S W 4 がオン状態であるので、差信号生成回路 1 0 5 a の演算増幅器 3 1 の出力は V_{ref} となる。この場合、 V_{ref} にさらに演算増幅器 3 1 固有のオフセット電圧（第 2 のオフセット電圧） ΔV_n が加わるが、ここでは省略する。

【 0 0 4 0 】

画素初期化期間（初期化期間）では、信号 Load, S C M を L レベルとして、スイッチ S W 1, S W 2 をオフ状態とする。他のスイッチ S W 3, S W 4 は前の状態のまま保持される。この間に、信号 P R を H レベルとして、光電変換素子に高い電圧を供給し、画素を初期化する。即ち、受光ダイオード及び M O S トランジスタ内の蓄積電荷を空にする。

【 0 0 4 1 】

その後、ブランキング期間では、立ち上がり時の期間（信号線初期化期間）に、図示しないスイッチを介して垂直出力線 2 0 a、2 0 b を接地電位とし、信号 S C M を L レベルとして、スイッチ S W 2 をオフ状態のまま保持するとともに、信号 Load, R S M を H レベルとして、スイッチ S W 1, S W 3 をオンにして、差信号生成回路 1 0 5 a 内の信号線に蓄積されている電荷を初期化する。但し、スイッチ S W 2 はオフ状態であるので、差信号生成回路 1 0 5 a の入力容量素子 C i である容量素子 C 1 の両側の電位差は $V_{ref} - V_t$ に保たれている。

【 0 0 4 2 】

信号線初期化期間の経過後、信号SCMをHレベルとして、スイッチSW2をオン状態にするとともに、信号RSM、CLMをLレベルとして、スイッチSW3、SW4をオフ状態にする。また、Gsel1をHレベルとして、SW5をオン状態にして容量素子C2を選択し、帰還容量Cfを入力容量素子Ciと等しくなるように設定する。ここでは、入力容量素子Ciの容量値と等しい容量値をC2とする。これにより、差信号生成回路105aの入力容量素子Ciの両側の電位差が $V_{ref} - V_t$ から $V_{ref} - V_n$ に変化する。これに対応する電荷が帰還容量Cfにも蓄積され、演算増幅器31の出力は $C_i \cdot (V_t - V_n) / C_f (= V_s)$ となる。

【0043】

次いで、差信号Vsとデジタル符号化範囲の下限值（基準値）と比較する。差信号Vsの大きさが基準値よりも大きいときには、SW7をオン状態として差信号Vsを記憶素子LMにそのまま出力する。一方、差信号Vsの大きさが基準値よりも小さいときには、SW7をオフ状態に保持し、制御回路33からの信号により、差信号Vsの大きさが基準値よりも大きくなるような利得で差信号Vsが増幅されるように、帰還容量Cfの容量値を選択する。ここでは、必要な増幅利得が得られる容量値をC3（ $< C_2$ ）とすると、Gsel1をLレベルとしてSW5をオフ状態にするとともに、Gsel2をHレベルとしてSW6をオン状態にし、帰還容量Cfとして容量素子C3を選択する。

【0044】

差信号生成回路105aの入力容量素子Ciである容量素子C1の両側の電位差が $V_{ref} - V_t$ から $V_{ref} - V_n$ に変化する。これに対応する電荷が帰還容量Cfである容量素子C3にも蓄積され、演算増幅器31の出力は $C_1 \cdot (V_t - V_n) / C_3 (= V_{s\ amp})$ となる。この差信号Vs_{amp}が記憶素子LMに記憶される。この場合、Vrefにさらに演算増幅器31固有の第2のオフセット電圧 ΔV_n が加わるが、ここでは省略する。

【0045】

そして、記憶素子LMの差電圧を図2に示すコラム型ADC105bに入力させて、デジタル信号に変換させる。さらに、このデジタル信号を映像信号として

コラム型ADC 105bの出力端子から出力する。

なお、各列の差信号生成回路105aがもつ固有の第2のオフセット電圧 ΔV_n は、通常列毎に異なるため、出力信号には列間で偏差が生じる。このため、すべての列にわたってその影響が同じになるようにするか、或いはすべての列にわたって除去する必要がある。以下に、各列の差信号生成回路105aがもつ固有の第2のオフセット電圧 ΔV_n をすべての列にわたって均す場合について説明する。

【0046】

即ち、各列の差信号をデジタル化する前にオプティカルブラック範囲（光の非照射範囲）内にある光電変換素子101の出力電圧（ V_{sob} ）を読む。更にその光電変換素子101を初期化したときの電圧値（ V_n ）を読み、その差（ $V_{sob} - V_n$ ）を取ることによって、各列の差信号生成回路105aに固有の第2のオフセット電圧 $\Delta V_n (= V_{sob} - V_n)$ を取得し、デジタル信号に変換しておく。

【0047】

次いで、すべての列にわたるデジタル化した第2のオフセット電圧のうち、任意に一つの列を選択し、選択した列のデジタル化した第2のオフセット電圧 ΔV_{n0} を基準とする。

次に、選択した列以外の列毎に、デジタル化した第2のオフセット電圧 ΔV_n から基準のデジタル化した第2のオフセット電圧 ΔV_{n0} を差し引いて、その差を各列の第3のオフセット電圧 δV_n とする。

【0048】

次いで、選択した列以外の列毎に、デジタル化した差信号 V_s から第3のオフセット電圧 δV_n を差し引く。これにより、各列の差信号生成回路105aがもつ固有の第2のオフセット電圧 ΔV_n はすべての列にわたって基準のデジタル化した第2のオフセット電圧 ΔV_{n0} に均される。

上記のように、この発明の実施の形態によれば、電気信号 V_t と第1のオフセット電圧 V_n との差信号 V_s がその基準値よりも小さいときに、差信号 V_s の大きさが基準値よりも大きくなるような利得で差信号を増幅している。

【 0 0 4 9 】

従って、アナログ差信号 V_s の振幅がデジタル符号化範囲の下限值よりも小さいときでも、アナログ差信号 V_s を増幅してデジタル符号化範囲に適合させることができる。

これにより、アナログ差信号 V_s のデジタル化に際して、ダイナミックレンジを確保し、かつ SN 比を向上させることができる。

【 0 0 5 0 】

また、本発明の第 2 の実施の形態によれば、差信号生成回路 1 0 5 a から生じる第 2 のオフセット電圧 ΔV_n をすべての列にわたって均しているので、より一層ダイナミックレンジの拡大を図り、かつ SN 比の向上を図ることができる。

以上、実施の形態によりこの発明を詳細に説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。

【 0 0 5 1 】

例えば、上記の実施の形態では、差信号生成回路として、図 1 のような回路を用いているが、電気信号と、光電変換素子を初期化したときのオフセット電圧とを逐次入力することにより、電気信号及びオフセット電圧を電荷に変換して、電気信号とオフセット電圧との差信号を生成し、かつ差信号の大きさが基準値よりも小さいときに差信号の大きさが基準値よりも大きくなるような利得で差信号を増幅して出力する機能を有し、かつ行と列に配列された画素の列毎に設けられたものを用いることができる。

【 0 0 5 2 】

また、差信号を比較する基準値として、デジタル符号化範囲の下限值を用いているが、これに限られない。

また、この発明が適用される光電変換装置に用いる光電変換素子として種々の変形例を適用可能である。この実施の形態では、特許（特許登録番号 2 9 3 5 4 9 2 号）に記載の MOS 型光電変換素子を用いているが、他の構造の MOS 型光電変換素子や CCD（Charge Coupled Device）等を用いることができる。

【 0 0 5 3 】

【発明の効果】

以上説明したように、本発明によれば、アナログ差信号の振幅が適度なデジタル符号化範囲（基準値）よりも小さいときでも、アナログ差信号を増幅してデジタル符号化範囲に適合させることができる。

これにより、アナログ差信号のデジタル化に際して、ダイナミックレンジを確保し、かつSN比を向上させることができる。

【0054】

また、差信号生成回路に固有の第2のオフセット電圧をすべての列にわたって均しているため、より一層ダイナミックレンジの拡大を図り、かつSN比の向上を図ることができる。

【図面の簡単な説明】

【図1】

この発明の第1の実施の形態に係る可変利得アンプを示す回路図である。

【図2】

この発明の第2の実施の形態に係る光電変換装置の全体の回路構成を示す回路図である。

【図3】

図2の光電変換装置の全体の回路構成のうち信号処理回路（コラム型ADC）の動作を示す図である。

【図4】

この発明の第3の実施の形態の光電変換装置を動作させる際のタイミングチャートである。

【図5】

この発明の第3の実施の形態に係る光電変換装置の差信号生成動作時のタイミングチャートである。

【図6】

従来例に係る光電変換装置の光信号を処理する回路の構成を示す図である。

【符号の説明】

20a、・・・20n 垂直出力線

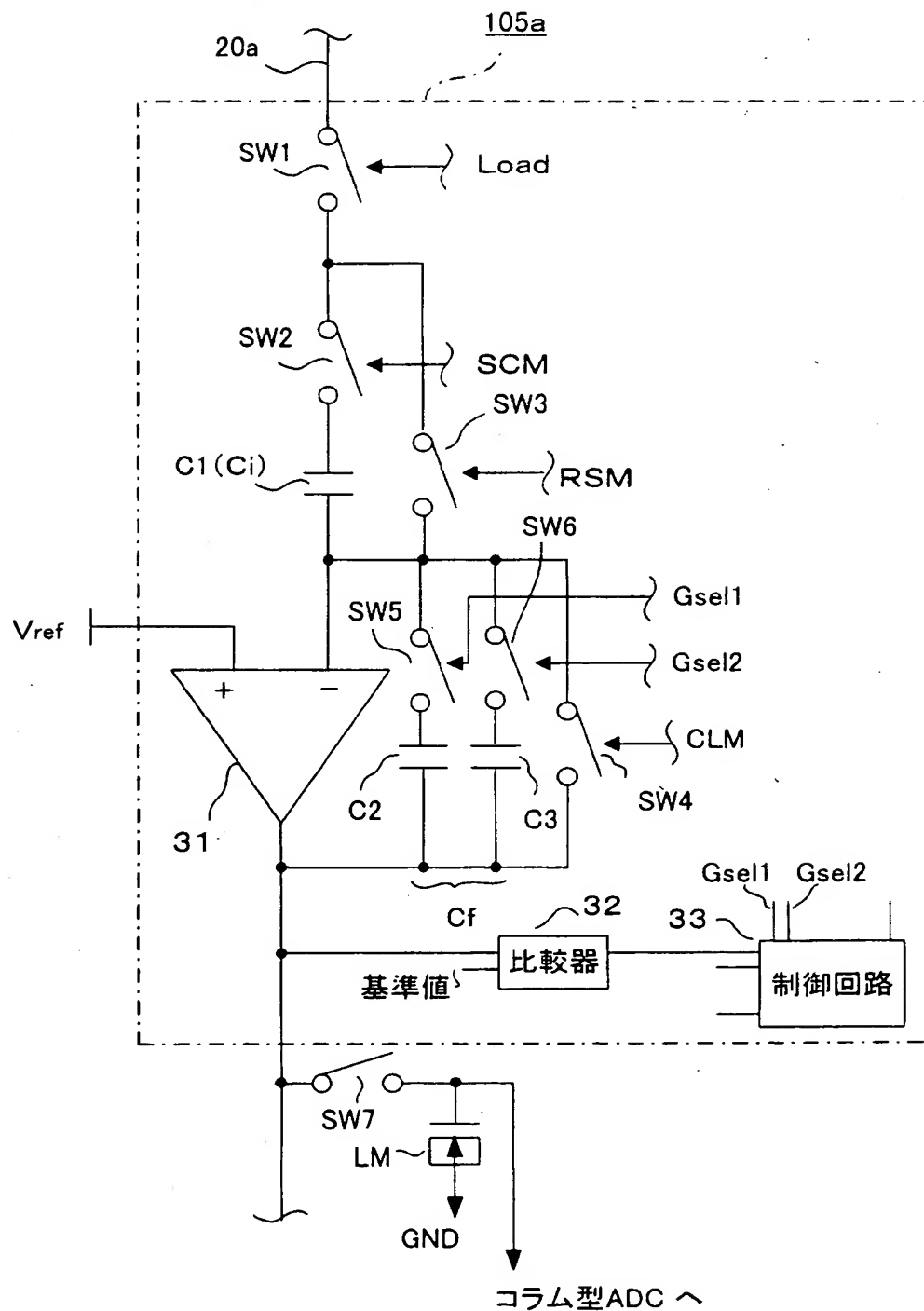
- 3 1 演算増幅器
- 3 2 比較回路
- 3 3 制御回路
- 1 0 0 光センサアレイ
- 1 0 1 単位画素
- 1 0 5 信号出力回路
- 1 0 5 a 可変利得アンプ (差信号生成回路)
- 1 0 5 b コラム型 A D C
- C 1、C 2、C 3 容量素子
- C i 入力容量素子
- C f 帰還容量 (可変容量素子)
- S W 1 第 1 のスイッチ
- S W 2 第 2 のスイッチ
- S W 3 第 3 のスイッチ
- S W 4 第 4 のスイッチ
- S W 5 第 5 のスイッチ
- S W 6 第 6 のスイッチ
- S W 7 第 7 のスイッチ
- V t 電気信号 (第 1 の信号電圧)
- V n 第 1 のオフセット電圧 (第 2 の信号電圧)
- $\Delta V n$ 第 2 のオフセット電圧
- $\delta V n$ 第 3 のオフセット電圧
- Vout1、... Voutn デジタル化された映像信号

【書類名】

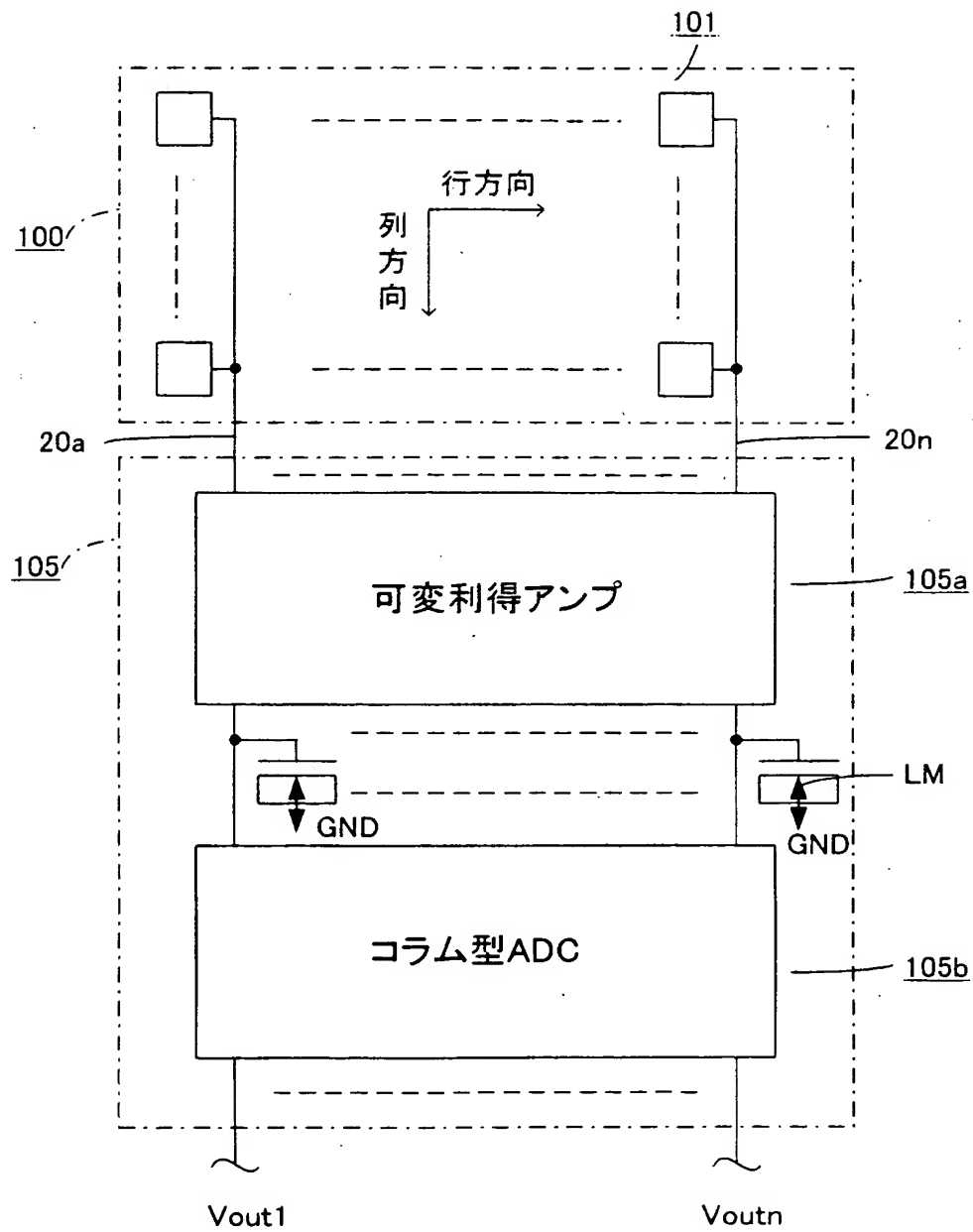
図面

【図 1】

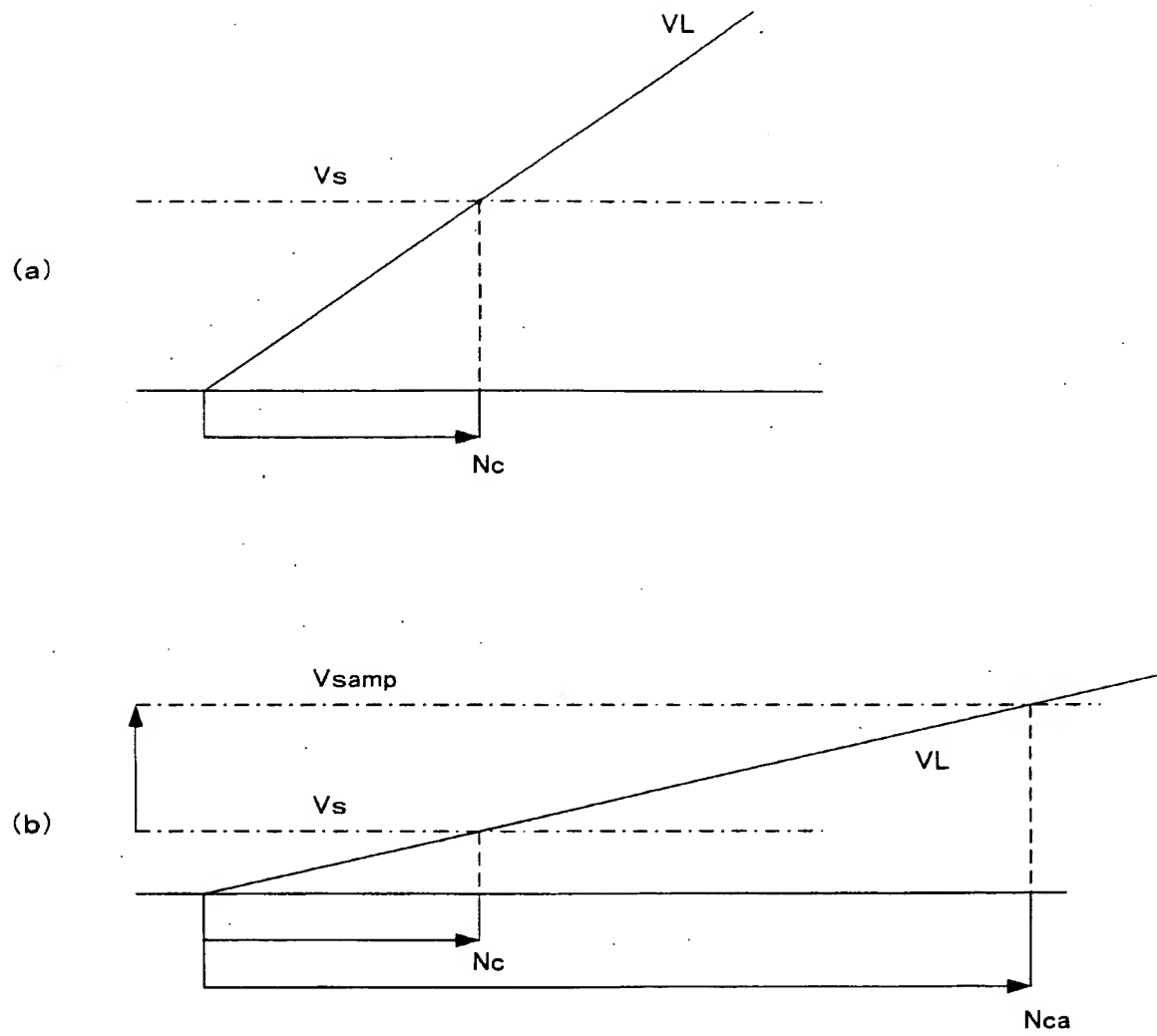
光センサアレイ100の光電変換素子101から



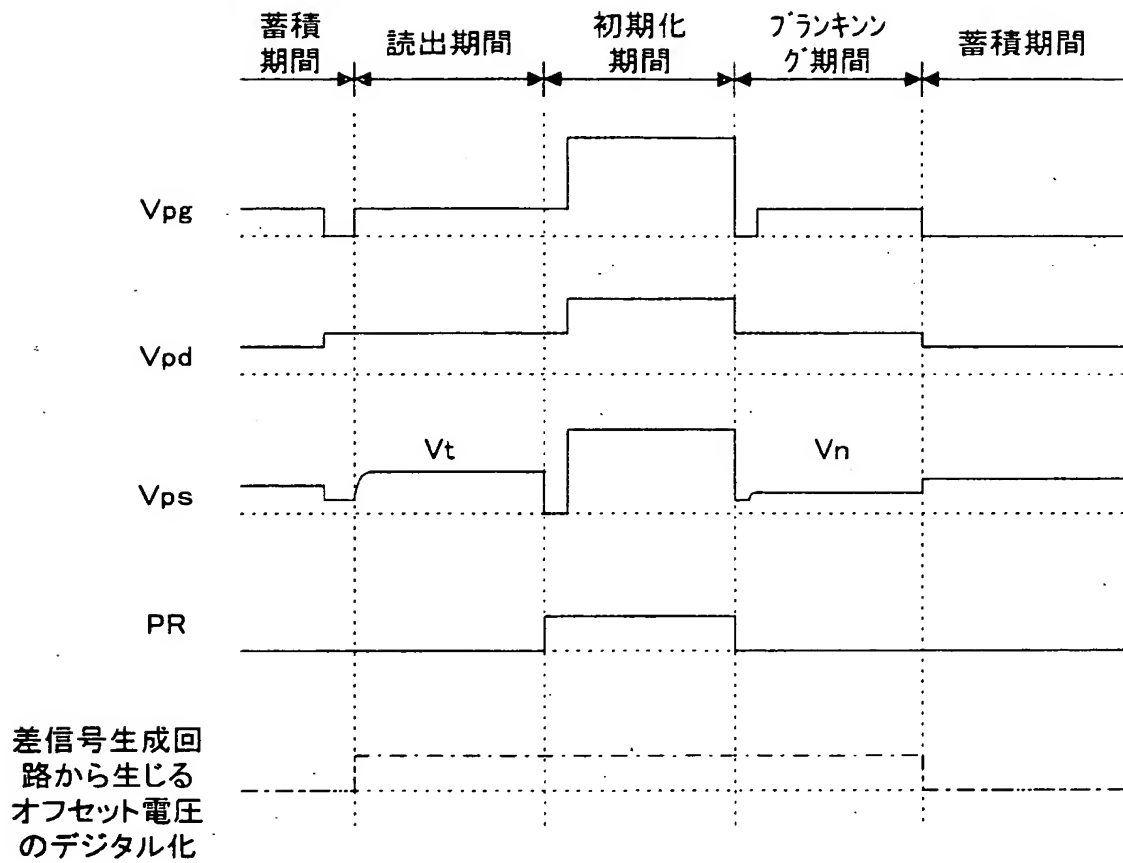
【図 2】



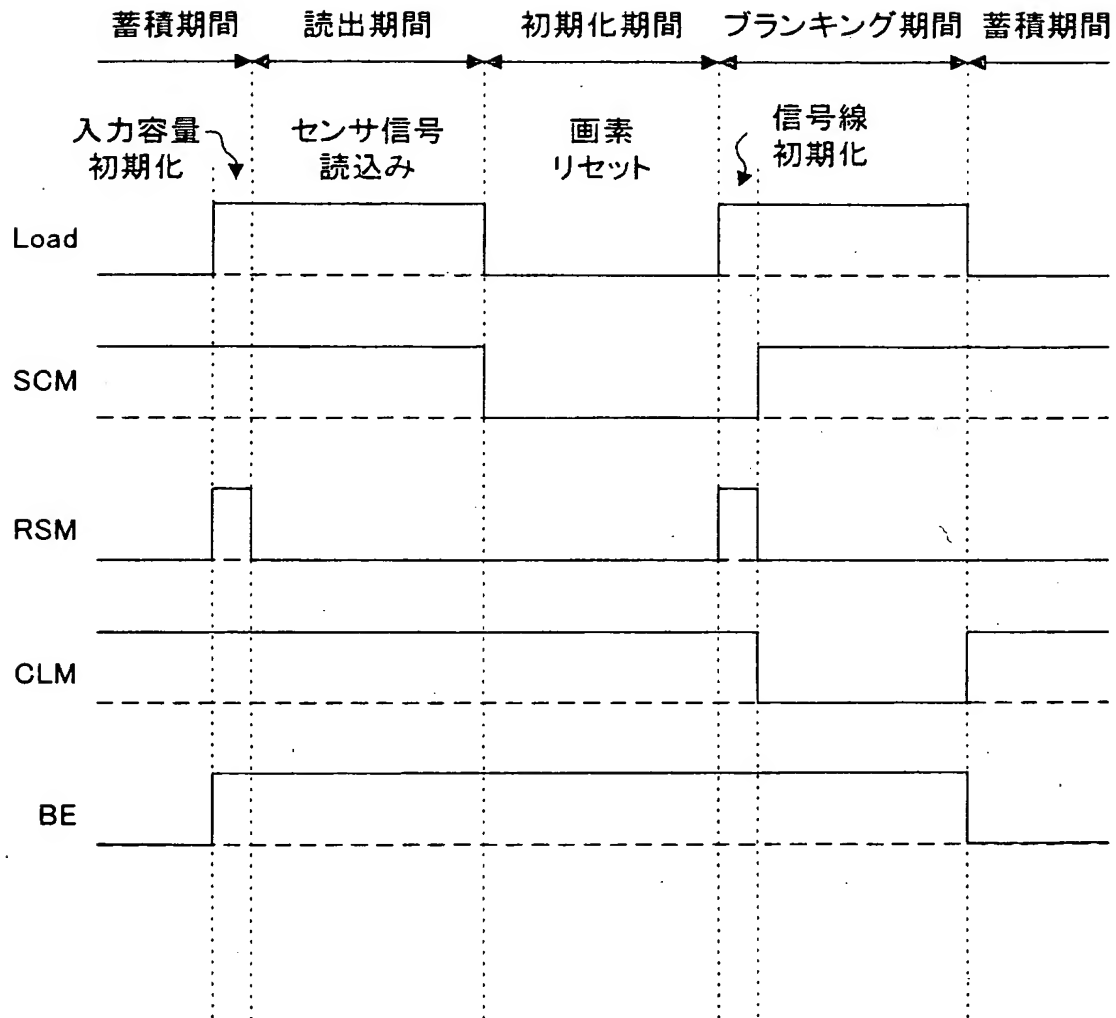
【図 3】



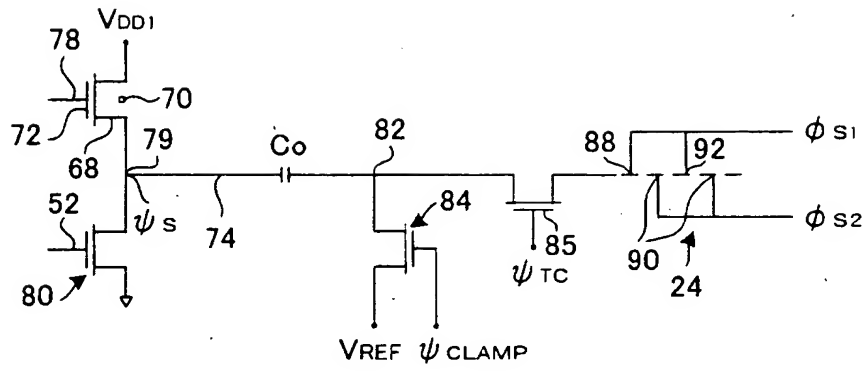
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 光電気信号をデジタル化するに際し、ダイナミックレンジの向上を図りつつ、S N比の向上を図ることができる固体撮像装置を提供する。

【解決手段】 光信号を電気信号に変換し、出力する、行と列に配列された複数の光電変換素子と、電気信号と、光電変換素子に光照射しないときのオフセット電圧とを逐次入力することにより、電気信号及びオフセット電圧を電荷に変換して、電気信号とオフセット電圧との差信号を生成し、かつ該差信号の大きさが基準値よりも小さいときに差信号の大きさが基準値よりも大きくなるような利得で差信号を増幅して出力する、列毎に設けられた差信号生成回路 1 0 5 a と、差信号生成回路 1 0 5 a の出力側に繋がって差信号を記憶する記憶素子 L M とを有してなる。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [593102345]

1. 変更年月日 1999年 1月21日

[変更理由] 住所変更

住 所 神奈川県横浜市港北区新横浜3-17-6

氏 名 イノテック株式会社